

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-297081

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.⁹

G 1 1 C 16/02
16/06

識別記号

F I

G 1 1 C 17/00

6 1 2 F
6 3 5

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21)出願番号 特願平10-91736

(22)出願日 平成10年(1998)4月3日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 北角 英人

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

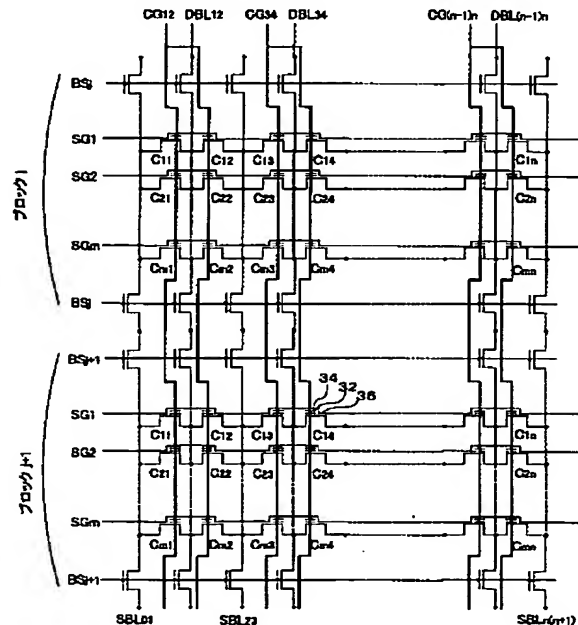
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 メモリセル面積を増大させることなく、例えば数バイト単位の微小領域の消去を可能とするフラッシュメモリを提供する。

【解決手段】 ドレインビットラインDBL12に隣接するメモリセルC11~Cm1, C12~Cm2を消去する場合、まず、ブロックセレクトトランジスタによりブロックjを選択する。次に、制御ゲートラインCG12に-7V、ドレインビットラインDBL12に6.5Vを印加する。このとき、他のドレインビットラインDBL及びソースビットラインSBLはフローティング電位状態、選択ゲート電極は0Vにする。メモリセルC11~Cm1, C12~Cm2の浮遊ゲートの電子がドレインビットラインDBL12に引き抜かれ、2m個のメモリセルCが消去される。



【特許請求の範囲】

【請求項1】 半導体基板にメモリセルのソースに電圧を供給する不純物拡散層のソースビットラインとドレインに電圧を供給する不純物拡散層のドレインビットラインが並列に交互に配置され、隣接するソースビットラインとドレインビットライン間の半導体基板上にトンネル酸化膜を介してメモリセルごとに分離された浮遊ゲートをもつメモリセルがマトリクス状に配置されたメモリマトリクスを含む不揮発性半導体記憶装置において、

両ビットラインはビットライン方向の m （正の整数）個のメモリセル毎に分割されており、分割された各ビットラインはブロック選択トランジスタを介してメタルビットラインに接続されて、両ビットラインへの電圧供給がブロック選択トランジスタを通して行なわれるようになっており、

前記ブロック選択トランジスタは、 $m \times n$ （正の偶数）個のメモリセルで1ブロックを構成するようにそのブロック内の全てのビットラインを同時に選択するように制御され、

メモリセルの消去は両ビットラインのどちらか一方の不純物拡散層に浮遊ゲートから電子が引き抜かれることにより行なわれるものであり、かつ前記ブロック選択トランジスタで選択されたブロック内で1個のビットラインに隣接する m 個を最小単位とする $m \times j$ （正の整数で、 $j < n$ ）個のメモリセル単位で行なわれることを特徴とする不揮発性半導体記憶装置。

【請求項2】 メモリセル構造がソース側とドレイン側で異なる非対称構造で、ビットラインに隣接する2メモリセルがビットラインに対して対称に配置されており、かつ、消去単位は選択トランジスタで選ばれたブロック内でビットラインに隣接する2 m 個を最小単位とする $m \times k$ （正の偶数で、 $k < n$ ）個のメモリセル単位で行なわれる請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 消去は、制御ゲートには電圧が印加されず、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加されて行なわれる請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項4】 前記ブロック選択トランジスタで選択されるブロックの $m \times n$ 個のメモリセルを一括消去する一括消去メモリ領域と、前記ブロック選択トランジスタで選択されるブロックでビットライン単位でメモリセルを消去する一部消去メモリ領域とを同一シリコン基板上に備え、

前記一括消去メモリ領域では制御ゲートに負電圧が印加され、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加されるように消去動作が制御され、前記一部消去メモリ領域では制御ゲートには電圧が印加されず、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加されるように消去動作が制御される請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項5】 消去時には、制御ゲートに負電圧が印加され、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加され、そのときの制御ゲート電圧は、消去を行う選択メモリセルの制御ゲートと電氣的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で5 MV/cm以下となるように設定される請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項6】 前記ブロック選択トランジスタで選択されるブロックでビットライン単位でメモリセルを消去する一部消去メモリ領域と、電氣的に接続された制御ゲートを共有する全てのメモリセルを一括消去する一括消去メモリ領域と、を同一シリコン基板上に備え、

消去時には、両メモリ領域で制御ゲートに負電圧が印加され、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加され、そのときの制御ゲート電圧は、消去を行う選択メモリセルの制御ゲートと電氣的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で5 MV/cm以下となるように設定され、

かつ、一部消去メモリ領域のビットラインに印加される電圧の方が、一括消去メモリ領域のビットラインに印加される電圧よりも大きく設定される請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項7】 消去時には、制御ゲートに負電圧が印加され、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加され、そのときの制御ゲート電圧は、消去を行う選択メモリセルの制御ゲートと電氣的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で5 MV/cm以下となるように設定され、

電氣的に接続された制御ゲートを共有するメモリ領域の消去回数を計数する計数手段を備え、

電氣的に接続された制御ゲートを共有する全メモリセルの中で、書き換えの積算回数が500回以上の一定回数を越えた場合に、電氣的に接続された制御ゲートを共有する全メモリセルのデータが再書き込みされる請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項8】 メモリセル構造がソース/ドレイン間のチャンネルをメモリの記憶状態に関わらずオン/オフできる選択ゲートを有するスプリットゲート構造であり、かつ書き込み後のしきい値電圧が正で消去後のしきい値電圧が負となるようにしきい値電圧が設定されている請求項2に記載の不揮発性半導体記憶装置。

【請求項9】 消去用ビットラインに隣接する2 m 個のメモリセルの制御ゲートが電氣的に接続された制御ゲート対を形成し、かつ複数の制御ゲート対が電氣的に接続

されている請求項8に記載の不揮発性半導体記憶装置。

【請求項10】 書込みは、消去用のドレインビットライン、制御ゲート及び選択ゲートに正電圧が印加されて浮遊ゲートに電子が注入されることにより行なわれ、書込みが行われるメモリセルの制御ゲートと電氣的に接続された制御ゲートを有するメモリセルで、書込みが行われるメモリセルのドレインビットラインと電氣的に接続されていないドレインビットラインとソースビットラインに、書込み時のドレイン電圧よりも小さな電圧が印加される請求項9に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、浮遊ゲートを有しかつ電氣的に書込及び消去可能な不揮発性半導体記憶装置、特にフラッシュメモリに関するものである。このような装置は、例えば電子手帳、電話機、音声認識・記憶装置、コンピュータ等、信号処理回路の記憶装置として用いられる。

【0002】

【従来の技術】フラッシュメモリは、1ビットが1個のトランジスタからなるため、1ビットが2個のトランジスタからなるEEPROM(Electrically Erasable and Programmable Read Only Memory)に比べ、集積度が向上する。このため、従来EEPROMが用いられていた製品は、ほとんどがフラッシュメモリに置き換えられる傾向にある。

【0003】図1は、従来のNOR型フラッシュメモリのメモリアレイ構成の一ブロックを表す回路図である。複数の浮遊ゲート2がそれぞれ絶縁されて半導体基板上にトンネル酸化膜を介してマトリクス状に配置されている。浮遊ゲート2上には絶縁膜を介して制御ゲート4が形成されており、横方向に並ぶ制御ゲート4は共通の制御ゲートライン(ワードライン)CG1~CGm(mは正の整数)に接続され、さらにデコーダ回路(図示略)に接続されている。浮遊ゲート2下の半導体基板にはチャネル領域を挟んでソース6とドレイン8が形成されている。ソース6は共通のソースラインSL1~SLmに接続され、さらにブロック単位で共通のソースラインSLjに接続されている。縦方向に並ぶドレイン8はそれぞれ共通のビットラインBL1~BLnに接続され、さらにブロック選択トランジスタBSjを介して電位供給ライン(図示略)に接続されている。制御ゲートCGとビットラインBLは各ブロックでそれぞれ独立しているが、ソースラインSLはブロック内で一つにまとめられている。

【0004】書込は、制御ゲートラインCGを介して制御ゲート4に正電圧を印加し、ビットラインBLを介してドレイン8に正電圧を印加することにより浮遊ゲート2に電子の注入を行なう。制御ゲートラインCGとビットラインBLによりメモリセルを1ビットだけ選択でき

る。

【0005】消去は、制御ゲートラインCGを介して制御ゲート2に負電圧を印加し、ソースラインSLを介してソース6に正電圧を印加することにより浮遊ゲート2から電子の引抜きを行なう。このメモリアレイの構成ではブロック内のすべてのソースラインSLがブロックごと一つにまとめられているため、ブロック単位の消去しかできない。

【0006】EEPROMは1ビット毎の消去及び書込が可能なのに対して、フラッシュメモリは1ビット毎の書込はできるが、消去は全ビット一括消去又はブロック単位の消去しかできない。そこで、小容量の書換えが必要な用途には、一つの半導体装置にフラッシュメモリとEEPROMの両方を搭載する必要がある。

【0007】しかし、フラッシュメモリとEEPROMでは製造プロセスが異なるため、一般には両メモリを同一チップに搭載するには製造工程の増加が必要となる。この問題を解決するために、フラッシュメモリの製造プロセスを用いてバイト毎消去可能なEEPROMを作成する方法が提案されている(特開平8-236731号(従来例1)参照)。

【0008】従来例1は、浮遊ゲートと制御ゲートの2層構造からなるフラッシュ型のメモリセルを半導体基板上に形成してEEPROMメモリアレイを形成し、さらにバイトセレクトトランジスタからなる補助バイト選択構造を備えている。そのバイトセレクトトランジスタの一方の電極ターミナルにはバイトを構成するマトリクスの行のセルのソースが共通接続され、他方の電極ターミナルにはソースに電圧を印加するソースバイアスラインが接続されている。バイトセレクトトランジスタによりマトリクスの行のセルを選択し、かつワードラインを選択することにより、バイト毎の消去を実現している。

【0009】また、フラッシュメモリでも消去単位を小さくする方法が提案されている(特開平9-36266号(従来例2)参照)。従来例2では、図1に示した従来のNOR型フラッシュメモリで、消去時に、選択する選択ワード線(制御ゲートライン)には比較的大きな絶対値の負電圧を印加し、選択しない非選択ワード線には比較的小さな正電圧を印加し、ソース線(ソースライン)SLに中間的な正電圧を印加し、メモリアレイを構成するデータ線(ビットライン)D0~Dnのそれぞれとソース線SLとの間に設けられ、かつ消去動作時、ソース線SLの電位が接地電位VSSに戻されてから選択ワード線及び非選択ワード線の電位が通常の高レベルつまり接地電位VSSに戻るまでの間、選択的にオン状態とされる短絡MOSFETつまりデータ線ディスチャージ回路を追加し、浮遊ゲート電極2の電子をソース線SLに引き抜いてワード線単位の消去を行なう。これにより、非選択ワード線に接続されたメモリセルの誤書込みという消去ディスタープの影響なしにワード線単位

の消去を可能としている。

【0010】フラッシュメモリで消去単位を小さくする他の方法として、Yueh Y.Ma等により提案されたスプリットゲート型フラッシュメモリにおける消去方法がある(米国特許第5280446号(従来例3)参照)。図2に従来例3のメモリアレイ構成図を示す。浮遊ゲート10、制御ゲート12、及び選択ゲート14を有するスプリットゲート型の $m \times n$ 個のメモリセルC11~C m nが、メモリブロック内ではソースビットラインSBL01~SBL n ($n+1$)及びドレインビットラインDBL12~DBL($n-1$) n によって複数個が並列に接続され、またそれぞれのソース及びドレインを共有する形でマトリクス状にメモリアレイを形成している。ビットライン方向に並ぶメモリセルの制御ゲート12はビットライン方向に並ぶ複数のメモリセルで共通の制御ゲートラインCG1~CG n に接続されており、さらにドレインビットラインDBLを共有するメモリセルに接続された2本の制御ゲートラインCGはそれぞれ1本の制御ゲートラインCG12~CG($n-1$) n にまとめられている。ビットラインと垂直方向に並ぶメモリセルCの選択ゲート14はワードラインとなる選択ゲートラインSG1~SG m に接続されている。

【0011】消去は、制御ゲートラインCGに負電圧、ドレインビットラインDBLに正電圧、選択ゲート電圧に0Vを印加し、ソースビットラインSBLをフローティング電位として、ドレインビットラインDBLに電子を引き抜くことにより行なう。この場合の消去されるメモリセルは、選択されたドレインビットラインDBLに隣接する2 m 個である。

【0012】書込は、例えばメモリセルC11を書き込む場合は、選択ゲートラインSG1、制御ゲートラインCG12にそれぞれ正電圧、ソース/ドレイン間に5Vを印加するためにソースビットラインSBL01=0V、ドレインビットラインDBL12=5Vをそれぞれ印加する。メモリセルC12への書込を防止するためにソースビットラインSBL23=5Vとする。また、他のビットラインは0V又はフローティング電位とする。この場合、他のビットラインにおけるメモリセルの制御ゲートラインCGは書込セルの制御ゲートラインCGと電気的に接続されていないので、他のビットラインにおけるメモリセルは誤書込みというゲートディスタ urbを受けない。

【0013】

【発明が解決しようとする課題】小容量の書換えが必要な用途に用いるためにフラッシュメモリとバイト毎消去可能なEEPROMの両方を搭載した従来例1は、その要求を十分に満足する。しかし、従来例1は、図1に示した従来のフラッシュメモリのソースラインSLをバイト毎に分割し、さらに各ソースライン毎にバイトセレクトトランジスタを設けた構造と同じであるので、メモリ

セル面積が増大する。また、製品の仕様毎にバイト毎消去可能なEEPROM領域(EEPROMメモリアレイ面積)を変更する必要がある。

【0014】従来例2は、従来のフラッシュメモリの消去時における駆動条件(印加電圧条件)を変更するだけで、ワードライン(制御ゲートライン)単位の消去動作を可能とし、消去単位を小さくしている。しかし、ビットラインは読出速度向上のため選択トランジスタにより小ビット単位(例えば32ビット)に分割されるのに対し、ワードラインはメモリセル面積の増大を抑えるために少なくともブロック単位の分割(例えば1024ビット=128バイト)が最小となっている。また、ワードライン即ち制御ゲートには、正電圧と負電圧を印加する必要があるので、ワードラインを選択トランジスタによって分割するためには、選択トランジスタ形成領域にメモリ領域のウェルと電気的に分離されたウェル(例えば極性の異なるウェル、又は3層ウェル構造からなるトリプルウェル)が必要となり、選択トランジスタを形成するための面積が非常に大きくなる。このために、ワードラインを小分割することはできず、結果としてバイト単位又は数バイト単位の消去はできない。

【0015】また、従来例3は、ワードラインが選択ゲートラインSGにより構成されているが、制御ゲートラインCG単位で消去されるという点において従来例2と同じである。詳しくは、2本に分かれた制御ゲートラインCGとその間に配置されたドレインビットラインDBLにより選ばれた2 m 個(例えば2048ビット=256バイト)が消去される。

【0016】ここで、ビットラインは読出し速度向上のため選択トランジスタにより小ビット単位(例えば32ビット)に分割されることはあるが、制御ゲートラインCGは分割するとメモリセル面積増大となるため、分割されていない。従来例3の消去方法は、制御ゲートラインCGに負電圧を印加し、電子を引き抜くメモリセルの隣接するビットラインに正電圧を印加する方法であるので、最小消去単位は制御ゲートライン単位であり、少なくとも1024ビット=128バイト程度が最小消去単位となっている。制御ゲートラインCGへの負電圧の印加は、書き込まれた非選択メモリセルのしきい値電圧を低下させるゲートディスタ urb現象を発生させる。制御ゲートラインに正電圧を印加して浮遊ゲートに電子を注入する書込時におけるゲートディスタ urb現象は、ビットラインに正電圧を印加することにより抑制できる。しかし、ビットラインに負電圧を印加できないため、消去時のゲートディスタ urb現象を抑制できない。したがって従来例3の消去方法は、ブロック単位の一括消去か制御ゲート単位の消去方法が採用されている。そこで、本発明は、メモリセル面積を増大させることなく、例えば数バイト単位の微小領域の消去を可能とするフラッシュメモリを提供することを目的とするものである。

【0017】

【課題を解決するための手段】本発明は半導体基板にメモリセルのソースに電圧を供給する不純物拡散層のソースビットラインとドレインに電圧を供給する不純物拡散層のドレインビットラインが並列に交互に配置され、隣接するソースビットラインとドレインビットライン間の半導体基板上にトンネル酸化膜を介してメモリセルごとに分離された浮遊ゲートをもつメモリセルがマトリクス状に配置されたメモリマトリクスを含む不揮発性半導体記憶装置である。そして、両ビットラインはビットライン方向の m （正の整数）個のメモリセル毎に分割されており、分割された各ビットラインはブロック選択トランジスタを介してメタルビットラインに接続されて、両ビットラインへの電圧供給がブロック選択トランジスタを通して行なわれるようになっている。ブロック選択トランジスタは、 $m \times n$ （正の偶数）個のメモリセルで1ブロックを構成するようにそのブロック内の全てのビットラインを同時に選択するように制御される。メモリセルの消去は両ビットラインのどちらか一方の不純物拡散層に浮遊ゲートから電子が引き抜かれることにより行なわれるものであり、かつブロック選択トランジスタで選択されたブロック内で1個のビットラインに隣接する m 個を最小単位とする $m \times j$ （正の整数で、 $j < n$ ）個のメモリセル単位で行なわれる。ブロック選択トランジスタにより分割された消去用ビットラインに隣接する m 個のメモリセルを最小単位として消去できるため、数バイト単位の消去が可能なフラッシュメモリを提供できる。

【0018】

【発明の実施の形態】メモリセル構造がソース側とドレイン側で異なる非対称構造で、ビットラインに隣接する2メモリセルがビットラインに対して対称に配置されたものとし、消去単位を選択トランジスタで選ばれたブロック内でビットラインに隣接する $2m$ 個を最小単位とする $m \times k$ （正の偶数で、 $k < n$ ）個のメモリセル単位とすることができる。このように構成することにより、消去時に印加するビットライン電圧によるディスタート現象が生じない。また、メモリセル構造をソースとドレインで非対称とすることにより、書き込み時に生じるディスタート現象を抑制できる。

【0019】ここで書き込み時に生じるディスタート現象を説明する。上記構造の場合、書き込み時にもビットラインを挟んだ2個のメモリセルが選択されるため、この内の非選択セルへの書き込みを防止するためソースとドレインを同電位にする必要がある。この場合、非選択セルの更に隣のビットの非選択セルには選択セルの電圧設定と逆の電圧がソースとドレインに印加される。メモリセルのソースとドレイン構造を非対称とすることにより、この隣のビットの非選択セルの書き込みを防止することができる消去の一方法として、制御ゲートには電圧を印加せず、浮遊ゲートから電子を引き抜くビットラインに正電

圧を印加して行なうことができる。この方法によれば、消去しない他のメモリセルへの消去ディスタートが発生しない。

【0020】ブロック選択トランジスタで選択されるブロックの $m \times n$ 個のメモリセルを一括消去する一括消去メモリ領域と、ブロック選択トランジスタで選択されるブロックでビットライン単位でメモリセルを消去する一部消去メモリ領域とを同一シリコン基板上に備えることができる。その際、一括消去メモリ領域では制御ゲートに負電圧が印加され、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加されるように消去動作を制御し、一部消去メモリ領域では制御ゲートには電圧が印加されず、浮遊ゲートから電子を引き抜くビットラインに正電圧が印加されるように消去動作を制御することができる。

【0021】制御ゲートに負電圧を印加、浮遊ゲートから電子を引き抜くビットラインに正電圧を印加してメモリセルブロックを一括消去するメモリ領域では、書換えの繰り返し信頼性（エンデュランス特性）が優れている。そのような一括消去メモリ領域と、数バイト単位の消去が可能な一部消去メモリ領域を持つことにより、繰り返し書換えが行われる大量のデータと書換えの少ない少量のデータを効率よく書き換えできる。具体的には、繰り返し書換えが行われる大量のデータとは画像や音声等に関連するデータであり、書換えの少ない少量のデータとは電話番号や名前等の文字からなるデータを意味する。

【0022】また、小単位で消去を行うメモリ領域のビットラインに提供する正電圧は、ブロックを一括消去するメモリ領域のビットラインに提供する正電圧より大きな電圧を要するが、消去単位が小さく電荷供給量が少なくてよいと、正電圧用の昇圧回路は小さく、面積増大はあまりない。

【0023】小単位で消去を行うメモリ領域の消去方法として、制御ゲートに負電圧を印加し、浮遊ゲートから電子を引き抜くビットラインに正電圧を印加するようにすることもできる。その場合、制御ゲート電圧は、消去を行う選択メモリセルの制御ゲートと電氣的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で 5 MV/cm 以下となるように設定されることが好ましい。

【0024】小単位で消去を行うメモリ領域の消去方法を、制御ゲートに負電圧を印加、浮遊ゲートから電子を引き抜くビットラインに正電圧を印加する方法で行うと、エンデュランス特性に優れた数バイト単位で消去できる不揮発性半導体メモリが得られる。また、消去を行わない非選択メモリセルにおけるトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で 5 MV/cm 以下となるように制御ゲート電圧を設定することにより、消去ディスタートを最小限に抑えられる。

【0025】前記ブロック選択トランジスタで選択されるブロックでビットライン単位でメモリセルを消去する一部消去メモリ領域と、電気的に接続された制御ゲートを共有する全てのメモリセルを一括消去する一括消去メモリ領域とを同一シリコン基板上に備え、両不揮発性半導体メモリの消去方法を等しくすることができる。その消去方法として、両メモリ領域で制御ゲートに負電圧を印加し、浮遊ゲートから電子を引き抜くビットラインに正電圧を印加する。そして、制御ゲート電圧として消去を行う選択メモリセルの制御ゲートと電気的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で 5 MV/cm 以下となるように設定するのが好ましい。一括消去メモリ領域と数バイト単位の一部消去メモリ領域の消去方法を同じにすることにより、同じ昇圧回路を使用できる。

【0026】また、ブロック選択トランジスタで選択されるブロックでビットライン単位でメモリセルを消去する一部消去メモリ領域と、電気的に接続された制御ゲートを共有する全てのメモリセルを一括消去する一括消去メモリ領域と、を同一シリコン基板上に備え、消去時には、両メモリ領域で制御ゲートに負電圧を印加し、浮遊ゲートから電子を引き抜くビットラインに正電圧を印加し、そのときの制御ゲート電圧として、消去を行う選択メモリセルの制御ゲートと電気的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で 5 MV/cm 以下となるように設定し、さらに、一部消去メモリ領域のビットラインに印加される電圧の方が、一括消去メモリ領域のビットラインに印加される電圧よりも大きく設定することもできる。

【0027】このように、小単位で消去を行うメモリ領域の消去時におけるビットライン電圧を高くすることにより、小単位の書き換え速度を速くできる。さらにまた、消去時に、制御ゲートに負電圧を印加し、浮遊ゲートから電子を引き抜くビットラインに正電圧を印加し、そのときの制御ゲート電圧として、消去を行う選択メモリセルの制御ゲートと電気的に接続された制御ゲートを有する消去を行わない非選択メモリセルにおいてトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で 5 MV/cm 以下となるように設定した記憶装置において、電気的に接続された制御ゲートを共有するメモリ領域の消去回数を計数する計数手段をさらに備え、電気的に接続された制御ゲートを共有する全メモリセルの中で、書き換えの積算回数が500回以上の一定回数を越えた場合に、電気的に接続された制御ゲートを共有する全メモリセルのデータが再書き込みされるようにすることもできる。

【0028】電気的に接続された制御ゲートを共有する全メモリセルの中で、書き換えの積算回数が500回以

上の一定回数を越えた場合に、電気的に接続された制御ゲートを共有する全メモリセルのデータを再書き込みすることにより、消去時のゲートディスタースにより変動したしきい値をもとに戻すことができる。これにより、数バイト単位の一部消去メモリ領域の信頼性を一括消去メモリ領域と同等にすることができる。そして、電気的に接続された制御ゲートを共有するメモリ領域の消去回数を計数する機能をもたせることにより、書き込みデータの内容によらずゲートディスタースによるデータの誤りが発生する前に、制御ゲートを共有するメモリ領域のデータを再書き込みすることができる。

【0029】本発明は、メモリセル構造がソース/ドレイン間のチャネルをメモリの記憶状態に関わらずオン/オフできる選択ゲートを有するスプリットゲート構造であり、かつ書き込み後のしきい値電圧が正で消去後のしきい値電圧が負となるようにしきい値電圧が設定されている記憶装置に適用することができる。

【0030】スプリットゲート構造の不揮発性半導体メモリでは、書き込み後のしきい値電圧が正で消去後のしきい値電圧が負の値となるようにしきい値電圧を設定することができる。その場合、消去時にしきい値電圧を正から負に持っていくため、消去時間が長くなり、消去ビットラインに流れる電流も増大する。従って、従来のように数バイトのデータ変更を行う場合でも一括消去する方法では大電流が流れてしまい、かつ消去時のベリファイに時間がかかる問題があったが、本発明では数バイト毎の消去を行うので、そのような問題は生じない。

【0031】本発明をスプリットゲート構造の不揮発性半導体記憶装置に適用した場合、消去用ビットラインに隣接する2m個のメモリセルの制御ゲートが電気的に接続された制御ゲート対を形成し、かつ複数の制御ゲート対が電気的に接続されているように構成することができる。これにより、制御ゲート数が少なくなり、制御ゲートを選択するデコーダー回路の面積を小さくできる。

【0032】本発明をスプリットゲート構造の不揮発性半導体記憶装置に適用した場合に、消去用のドレインビットライン、制御ゲート及び選択ゲートに正電圧が印加されて浮遊ゲートに電子が注入されることにより書き込みが行われ、書き込みが行われるメモリセルの制御ゲートと電気的に接続された制御ゲートを有するメモリセルで、書き込みが行われるメモリセルのドレインビットラインと電気的に接続されていないドレインビットラインとソースビットラインに、書き込み時のドレイン電圧よりも小さな電圧が印加されるようにすることができる。これにより、書き込み時のゲートディスタースを抑制できる。

【0033】また、本発明をスプリットゲート構造の不揮発性半導体記憶装置に適用した場合に、書き込みが行われるメモリセルのドレインビットラインと電気的に接続されていないドレインビットラインとソースラインに印加する電圧を、不揮発性半導体メモリチップ外から供給

10

20

30

40

50

される電源電圧を使用することができる。これにより、書込み時のゲートディスタープを抑制するための電圧を電源電圧としているため、昇圧回路が不要となる。

【0034】

【実施例】以下、本発明の実施例を説明する。まず、メモリセルアレイについて説明する。図8は、本発明を仮想接地方式のスタックゲート型フラッシュメモリに適用した一実施例のメモリアレイの一ブロックを表す回路図である。 $m \times n$ (m, n は正の整数、例えば 32×1024) 個の浮遊ゲート22がそれぞれ絶縁されて半導体基板上にトンネル酸化膜を介してマトリクス状に配置され、各浮遊ゲート22上には絶縁膜を介して制御ゲート24が形成されており、浮遊ゲート22、制御ゲート24からなる $m \times n$ 個の例えばNチャネル型MOSトランジスタからなるメモリセルC12～Cmnがマトリクス状に配置されている。横方向に並ぶ制御ゲート24は共通の制御ゲートライン(ワードライン)CG1～CGmにそれぞれ接続され、さらにデコーダ回路(図示略)に接続されている。縦方向に並ぶメモリセルCに共通でブロックごとに分割された帯状の拡散層からなるソースビットラインSBL12～SBL(n-1)n、ドレインビットラインDBL01～DBLn(n+1)が浮遊ゲート22下の半導体基板のチャネル領域を挟んで交互に形成され、隣合うメモリセルCで共通となっている。ソースビットラインSBL、ドレインビットラインDBLは例えばNチャネル型MOSトランジスタからなるブロック選択トランジスタを介してメタルビットライン(図示略)に接続されており、それぞれのメタルビットラインを介してデコーダ回路(図示略)により選択されるようになっている。BSj1、BSj2はそれぞれビットラインの一端と他端のブロック選択トランジスタのゲート電極に印加されるブロック選択信号である。

【0035】図9は、本発明をスプリットゲート型フラッシュメモリに適用した実施例のメモリアレイの2つのブロックを表す回路図である。浮遊ゲート32、制御ゲート34、及び選択ゲート37を有するスプリットゲート型の $m \times n$ (例えば 32×1024) 個の例えばNチャネル型MOSトランジスタからなるメモリセルC11～Cmnが、メモリブロック内ではソースビットラインSBL01～SBLn(n+1)及びドレインビットラインDBL12～DBLn(n-1)nによって複数個が並列に接続され、またそれぞれのソース及びドレインを共有する形でマトリクス状にメモリアレイを形成している。ソースビットラインSBL及びドレインビットラインDBLは、各メモリブロックで独立して形成されている。ソースビットラインSBL及びドレインビットラインDBLは、例えばNチャネル型MOSトランジスタからなるブロック選択トランジスタを介してメタルビットライン(図示略)に接続されており、それぞれのメタルビットラインを介してデコーダ回路(図示略)により選択されるよ

うになっている。BSj、BSj+1はそれぞれビットラインの一端と他端のブロック選択トランジスタのゲート電極に印加されるブロック選択信号である。ビットライン方向に並ぶメモリセルの制御ゲート12はビットライン方向に並ぶ複数のブロックで共通の制御ゲートラインCG1～CGnにそれぞれ接続されており、さらにドレインビットラインDBLを共有するメモリセルCに接続された2本の制御ゲートラインCGは1本の制御ゲートラインCG12～CG(n-1)nにまとめられている。ビットラインと垂直方向に並ぶメモリセルCの選択ゲート36は、ワードラインとなる、ブロックごとに分割された共通の選択ゲートラインSG1～mにそれぞれ接続され、さらにデコーダ回路(図示略)に接続されている。このような構成では、読出速度向上のために形成される複数のソースビットラインSBL用の選択トランジスタの間の領域にドレインビットラインDBL用の選択トランジスタを形成するので、メモリセル面積の増大はない。

【0036】また、図8及び図9の実施例のようにソースビットラインSBL及びドレインビットラインDBLを隣合うメモリセルで共有している方が面積縮小の観点から好ましいが、各ビットラインを隣合うメモリセルで共有している必要はなく、ビットラインを独立に所有していてもよい。

【0037】図10は、本発明をスプリットゲート型フラッシュメモリに適用した他の実施例のメモリアレイの1つのブロックを表す回路図である。図9と同じ部分には同じ符号を付す。制御ゲートラインがブロックごとに分割して形成されており、各メモリセルCの制御ゲート34はブロック内で共通の制御ゲートラインCGjに接続されている。

【0038】図11は、本発明をスプリットゲート型フラッシュメモリに適用したさらに他の実施例のメモリアレイの1つのブロックを表す回路図である。図10と同じ部分には同じ符号を付す。ブロックを選択するブロック選択トランジスタがビットラインにつき1つずつ形成されており、ドレインビットラインDBLにはブロック選択信号BSj1により動作するブロック選択トランジスタ、ソースビットラインSBLにはブロック選択信号BSj2がにより動作するブロック選択トランジスタ接続されている。また、ブロック内には $k \times n$ 個のメモリセルC11～Ckn ($k = m/2$ (正の整数)) がマトリクス状に配置されている。図10及び図11の実施例でも図9の実施例と同様にしてビットライン単位の消去を行うことができる。

【0039】(第1の消去方法) 第1の消去方法として、ビットライン単位の消去を可能とするため、ビットラインにのみ正電圧を印加する方法を採用する。図8のメモリアレイに適用した場合を説明する。ブロック選択トランジスタをオンさせ、各ビットラインに電圧を供給

できる状態にする。例えばソースビットラインSBL12に隣接するメモリセルのみ消去を行なう場合、デコーダ回路によりソースビットラインSBL12にのみ例えば11Vの正電圧を印加すると、メモリセルC11~Cm1とC12~Cm2までの2m個のメモリセルが消去される。mは16ビット~32ビット程度に小分割できるため、最小消去単位は4バイト~8バイト(1バイト=8ビット)が可能となる。このとき、各メモリセルCの制御ゲート24には電圧を印加しないので、選択したビットラインに接続されていないメモリセルのゲートディスタースターブ現象は発生しない。また選択したビットラインに隣接する2m個のメモリセルを全て消去するので、ビットラインに印加する正電圧によるディスタースターブ現象も生じない。

【0040】次に図9のメモリアレイに適用した場合を説明する。消去するメモリセルCの隣接するドレインビットラインDBLにのみ正電圧を印加してビットライン単位の消去を行なう。例えばブロックjのドレインビットラインDBL12に隣接するメモリセルC11~Cm1、C12~Cm2を消去する場合、ブロック選択トランジスタをオンさせ、各ビットラインに電圧を供給できる状態にする。デコーダ回路によりドレインビットラインDBL12を選択して消去可能な例えば11Vの正電圧を印加すると、ブロックjのメモリセルC11~Cm1、C12~Cm2の2m個のメモリセルが消去される。このとき、図8の実施例と同様に各メモリセルの制御ゲート34には電圧を印加しないので、選択したビットラインに接続されていないメモリセルのゲートディスタースターブ現象は発生しない。また選択したビットラインに隣接する2m個のメモリセルを全て消去するので、ビットラインに印加する正電圧によるディスタースターブ現象も生じない。

【0041】図8及び図9の実施例で説明した消去方法のように、浮遊ゲートから電子を引き抜くメモリセルの隣接する一方のビットラインにのみ正電圧を印加して消去を行なう方法は従来から知られているが、拡散層からなるビットラインに高電圧を印加するため、バンド間トンネル電流が大きくて一括消去できる最大メモリ容量が小さいこと、及びバンド間トンネル電流起因のメモリ特性劣化が問題となるため、近年のメモリ容量増大と共に使われなくなってきている。しかし、本発明のように数バイト単位の消去には有効であり、また、例えば電話番号や名前等の書換え回数の少ない用途のメモリに使う場合には千回程度の書換え信頼性があれば十分なため、メモリ特性の劣化が問題となることはない。

【0042】尚、数バイト単位の消去ができる一部消去メモリ領域以外に、ブロック単位で制御ゲートに負電圧を印加し、電子を引き抜くビットラインに正電圧を印加する一括消去メモリ領域を設けることによって、画像や音声等の大容量データにも適した不揮発性半導体記憶装

置を提供できる。両消去領域はメモリアレイ構成が全く同じであるため、製品の用途によって、容量の分配を任意に変更できる。

【0043】(第2の消去方法)第2の消去方法として、制御ゲートに負電圧を印加し、電子を引き抜くビットラインに正電圧を印加してビットライン単位の消去を行なう方法と採用する。従来より消去方法として、電子を浮遊ゲートから引き抜くビットラインにのみ正電圧を印加する方法(方法A)、及び制御ゲートに負電圧を印加し、電子を引き抜くビットラインに正電圧を印加する方法(方法B)があった。方法Aは正電圧のみを印加するため、正電圧昇圧回路を用いるだけでよいのに対し、方法Bは正電圧昇圧回路と負電圧昇圧回路を用意する必要がある。一方、方法Aは拡散層からなるビットラインに高電圧を印加するため、バンド間トンネル電流が大きく、一括消去できる最大メモリ容量が小さいこと、およびバンド間トンネル電流起因のメモリ特性劣化が問題となっていた。従って、これらの問題を解決するため方法Bが用いられるようになった。尚、方法Bは消去だけでなく、書き込みにも用いられることがある。

【0044】図3に各方法における電圧設定値例を示す。メモリ構造は、従来から用いられている構造で、P型シリコン基板上に形成されたトンネル酸化膜上に浮遊ゲートを有し、その上に絶縁膜を介して制御ゲートを設けた構造となっている。消去時に電子を浮遊ゲートから引き抜く拡散層は、N型となっている。図3で実線より上が、トンネル酸化膜厚8(nm)の場合の消去可能範囲である。方法Aでは11(V)程度の正電圧が必要で、方法Bでは5(V)の正電圧と-10(V)程度の負電圧が好ましい。方法Bではビットラインに印加する電圧を小さくするほどバンド間トンネル電流を抑制できるため、絶対値の大きな負電圧が用いられていた。

【0045】これに対し本発明が第2の消去方法として採用する方法は、図3中に記号Cで示されるように、制御ゲート電圧-8(V)以下の電圧、即ち浮遊ゲートとシリコン基板間に位置するトンネル酸化膜の電界強度が、浮遊ゲートに電荷が存在しない状態で5(MV/cm)以下となる制御ゲート電圧条件で消去を行うことを特徴とする。以下、図9および図10のスプリットゲート構造を例に説明する。

【0046】図9はすでに説明したメモリアレイであるが、米国特許第5280446号で報告されているメモリセルアレイ構成にブロック選択用のトランジスタを加えたものである。制御ゲートは消去用ビットラインDBLに隣接する2本の制御ゲートが電気的に接続されている。また図10はブロック内の制御ゲートを電気的に接続した場合の例である。

【0047】従来の消去方法は、消去時のゲートディスタースターブを避けるために、電気的に接続された制御ゲートを有するメモリセルは全て同時に消去されていた。とこ

るが、制御ゲートに負電圧を印加し、電子を引き抜くビットラインに正電圧を印加する方法においても、ゲートディスタースの影響が殆どなく、かつ信頼性の高い消去条件が存在することがわかった。

【0048】図4は、制御ゲートに負電圧を印加し、電子を引き抜くビットラインに正電圧を印加する方法において、その制御ゲートと共通のワードラインに接続される制御ゲートを有し、正電圧が印加されないビットラインに接続された非選択メモリセルのしきい値電圧の変化（ゲートディスタース）を制御ゲート電圧をパラメータとして示したものである。図4に示すように、制御ゲート電圧の絶対値を低下させるとゲートディスタースは大幅に改善できる。またスプリットゲート構造の場合にはスタックゲート構造と異なり、書き込み後のしきい値電圧が電源電圧以下となっても読出しが可能である。これは、スタックゲート構造の場合には書き込み／消去のしきい値電圧設定を電源電圧を境に決めているのに対し、スプリットゲート構造の場合には書き込み／消去のしきい値電圧設定を正／負で決めているためである。従って、スプリットゲート構造は消去時のゲートディスタースに対し、影響を受けにくいことがわかる。

【0049】以下、この消去方法によるメモリ特性評価結果を基に説明する。メモリ構造およびメモリアレイ構成は以下の通りである。

メモリ構造：メモリ構造は米国特許第5280446号で報告されているメモリ構造と同じで、P型基板上に3層ポリシリコンからなるスプリットゲート構造となっている。8 (nm)のトンネル酸化膜上に浮遊ゲート電極が形成され、その上に13 (nm)のポリシリコン間ONO膜、その上に制御ゲート電極が形成されている。ドレイン拡散層は浮遊ゲート電極に対し自己整合的に、かつ浮遊ゲート電極と重なり領域を有して形成されている。これに対しソース拡散層は、浮遊ゲート電極に対し、一定間隔の離れた位置に形成されている。浮遊ゲート電極および制御ゲート電極の側壁にサイドウォール絶縁膜を介し、浮遊ゲート電極とソース拡散層の間のシリコン基板上にゲート酸化膜を介し、制御ゲート電極上に絶縁膜を介して選択ゲート電極が形成されている。

【0050】メモリアレイ構成：メモリアレイ構成は、図9および図10に示した通りで、1ブロックは $m \times n$ 個のメモリ、例えば 32×1024 個からなる。ドレインビットラインDBLとソースビットラインは並列にかつ交互に配置され、各ビットラインへの電圧供給はブロックセレクトトランジスタBSをオンすることにより行われる。ブロックセレクトトランジスタはメモリと同じくNMOSにより形成されている。選択ゲート電極SGはビットラインに対して垂直に配置され、ビットラインと選択ゲート電極によりメモリセルが選択されるようになっている。

【0051】図9の制御ゲートは消去用ビットラインD

BLに隣接する2本の制御ゲートが電気的に接続されており、図10はブロック内の制御ゲートを電気的に接続した場合の例である。また、図11はブロックセレクトトランジスタを1ビット置きに配置した場合で、 $k = m/2$ (正の整数)である。従って、 $2m$ 個のセルを消去する場合は、2組の制御ゲートを選択する必要がある。

【0052】消去方法および消去時のディスタース抑制方法：消去は、選択されたドレインビットラインに正電圧、制御ゲート電極に負電圧を印加することにより浮遊ゲート電極から電子を引き抜くことにより行う。消去後のしきい値電圧は、読出し電流を大きくする(約 $100 \mu A$)ため -4 (V)程度にすることが好ましい。まずブロックセレクトトランジスタのBS_{j1}およびBS_{j2}に9 (V)の電圧を印加した後、消去を行うドレインビットライン(例えばDBL₁₂)に6.5 (V)を印加する。このとき他のドレインビットライン及びソースビットラインSBLはフローティング状態、また選択ゲート電極は0 (V)とする。これにより、C₁₁～C_{m1}とC₁₂～C_{m2}の計 $2m$ 個のメモリセル(64ビット=8バイト)が消去できる。

【0053】図5はドレイン電圧6.5 (V)で消去を行った場合の消去特性の制御ゲート電圧 V_{cq} 依存である。従来の一括消去のように制御ゲート電圧の絶対値が大きくな例として $V_{cq} = -10$ (V)、本発明における制御ゲート電圧例として $V_{cq} = -7$ (V)を比較する。消去後のしきい値電圧を $V_{th} = -4$ (V)にするための消去時間は、 $V_{cq} = -10$ (V)では0.7 (ms)、 $V_{cq} = -7$ (V)では100 (ms)となっている。ここで消去ばらつきによるしきい値電圧のペリファイが必要となるため、実際の消去時間は約10倍の $V_{cq} = -10$ (V)では7 (ms)、 $V_{cq} = -7$ (V)では1 (s)となる。

【0054】このときのゲートディスタース特性を図4から判断する。書き込みビットが他ビットの読出し時に影響を与えない最小しきい値電圧を2 (V)とし、電荷保持特性の劣化およびプロセスばらつきによる余裕を1 (V)考慮すると、消去時のゲートディスタースによるしきい値低下は3 (V)まで許容される。この場合の許容ストレス時間は、 $V_{cq} = -10$ (V)では0.4 (s)、 $V_{cq} = -7$ (V)では10000 (s)となる。従って消去時間から得られるブロック内の消去可能回数は、 $V_{cq} = -10$ (V)では57回、 $V_{cq} = -7$ (V)では10000回となる。従来は一括消去であったため、この消去可能回数は問題とならなかった。

【0055】ところがビットライン単位の消去を行う場合には、1回の最小消去単位は $2m$ 個(64ビット)であるから、ブロック内の消去を全て最小消去単位で行うと、 $1024/2 = 512$ 回の消去が行われることになる。即ち、ブロック内のメモリセルを最小消去単位で書換えを行うには、最低512回の消去ストレスに耐えられる電圧でなければならない。従って、512回程度の

ゲートディスタート耐性があれば、その後ブロック内のデータ全てを書き換えることにより、ディスタートのない初期状態に戻すことができるため、比較的書き換えの少ないデータ(例えば、名前や電話番号)に関しては十分な実用条件といえる。

【0056】また、一般に消去時間は数十～数百(ms)程度に設定されるため、少なくとも許容ストレス時間は数百(s)以上が好ましい。図6は制御ゲート電圧を一定にし、書き込み後のしきい値電圧をパラメータとしてゲートディスタートを示したものである。図6に示すように許容ストレス時間は、書き込み後のしきい値電圧には左右*

$$E_{ox} = \{C_{ono} / (C_{ono} + C_{ox})\} \times (V_{cg} / t_{ox}) \quad (1)$$

ここで、本実施例における式(1)の各値は、以下の通り※ ※りであった。

制御ゲート/浮遊ゲート間容量: $C_{ono} = 7.31 \times 10^{-16}$ (F)

トンネル酸化膜容量: $C_{ox} = 6.65 \times 10^{-16}$ (F)

トンネル酸化膜厚: $t_{ox} = 8.1 \times 10^{-16}$ (cm)

本実施例において、消去ディスタートを制御できる制御ゲート電圧は $V_{cg} < 8$ (V) であるから、式(1)より、 $E_{ox} < 5.1$ (MV/cm) が得られる。

【0058】尚、前記消去条件の制御ゲート電圧を $V_{cg} = -6$ (V) まで絶対値を低下させると、100万回以上の書き換えが可能となるため、消去時のゲートディスタートがないのと同じになる。ここで、制御ゲート電圧の絶対値低下による消去時間の増大は、図3に示したようにドレイン電圧の増大で対応することができる。ビットライン単位の消去を行うブロックのドレイン電圧とブロック一括消去を行う場合のドレイン電圧を同じ設定にすることにより、同じ昇圧回路を使用できる。

【0059】また、ビットライン単位の消去を行うブロックのドレイン電圧をブロック一括消去を行う場合のドレイン電圧より大きくすることにより、ビットライン単位の書き換えを高速に行うことが可能となる。ここで、ビットライン単位の消去を行うブロックにドレイン電圧を供給する昇圧回路は高電圧が必要であるが、消去するメモリ数が少ないため、昇圧回路の面積増大は少ない。以上の方法により、信頼性の高いビットライン単位の消去が可能な不揮発性半導体メモリを提供することができる。

【0060】書き込み方法および書き込み時のディスタート抑制方法: 書き込みは、選択ゲートとドレインビットラインにより選ばれたメモリセルにホットエレクトロン注入することにより行われる。メモリ単体に印加される電圧設定は基本的に米国特許第5280446号のものと同一である。各電極の電圧設定は、選択ゲート電圧 $V_{sq} = 1$ (V)、制御ゲート電圧 $V_{cg} = 10$ (V)、ドレイン電圧 $V_d = 5$ (V)、ソース電圧 $V_s = 0$ (V) とする。ここで、ドレインビットラインは2列のメモリセルに共通となっているため、選択ゲートとドレインビットラインにより選ばれたメモリセルは2個となる。従って、非選択セルのソースビットラインにはドレイン電圧以上の電圧を印加

*されず、制御ゲート電圧により決まる。従ってビットライン単位の消去が可能となる電圧は、図4から $|V_{cg}| < 8$ (V) となり、これを浮遊ゲートとシリコン基板間に位置するトンネル酸化膜の電界強度に換算すると、浮遊ゲートに電荷が存在しない状態で5 (MV/cm) 以下となる。

【0057】このトンネル酸化膜の電界強度は、次のように求めたものである。ドレイン電圧 $V_d = 0$ (V) で、かつ浮遊ゲートに電荷が存在しない場合、トンネル酸化膜の電解強度 E_{ox} は次式で表わされる。

する必要がある。

【0061】以下に本発明の書き込み時におけるディスタート抑制方法を示す。従来の書き込み方法は、図2に示すセルアレイ構成においてC11を書き込む場合は、表1に示すようにソース/ドレイン間に5 (V) を印加するために $SBL_{01} = 0$ (V)、 $DBL_{12} = 5$ (V) とし、C12の書き込みを防止するために $SBL_{23} = 5$ (V) としていた。また、他のビットラインにおけるメモリセルの制御ゲート電極は書き込みセルの制御ゲート電極と電気的に接続されていないため、他のビットラインにおけるメモリセルは書き込み時のゲートディスタートの影響を受けなかった。従って、他のビットラインは0 (V) またはフローティングとなっていた。

【0062】これに対し本発明における実施例図10、図11のような場合、ブロック内の複数の制御ゲートを電気的に接続しているため、他のビットライン上のメモリセルも書き込み時にゲートディスタートの影響をうける。しかしこの現象は、書き込みを行わない他のビットラインにトンネル酸化膜の電界を緩和させるための電圧を印加させることにより解決できる。図7にトンネル酸化膜の電界緩和用電圧を印加した場合のゲートディスタート特性を示す。書き込み時間10 (μ s)、ペリファイ動作10回、書き込みビット数32 (キロビット) とすると、最悪3.2秒のゲートディスタートを受ける。しかし、ビットラインに電源電圧3.3 (V) を印加することによりゲートディスタートを抑制できることがわかった。尚、トンネル酸化膜の電界緩和はドレインビットラインのみの電圧印加でよいが、不要な電流を抑制するためソースビットラインも同電位とすることが望ましい。以上の方法により、ビットライン単位の消去が可能なメモリアレイ構成においても、書き込み時のゲートディスタートを抑制できる不揮発性半導体メモリを提供できる。

【0063】

【表1】

	SBL01	DBL12	SBL23	DBL34	SBL45
従来	0 V	5 V	5 V	0 V	F
本発明	0 V	5 V	5 V	3 V	3 V

F：フローティング

【0064】

【発明の効果】本発明では、ビットラインをブロック選択トランジスタによりビットライン方向の適当な数のメモリセル毎に分割し、メモリセルの消去は浮遊ゲートからビットラインに電子が引き抜くことにより行なうようにし、かつブロック選択トランジスタで選択されたブロック内で1個のビットラインに隣接するメモリセルを最小単位として消去するようにしたので、数バイト単位の消去が可能なフラッシュメモリを提供できる。従来フラッシュメモリの消去単位は、小さい場合でブロック単位の消去、そして現在提案されている最も小さい消去単位でもワードライン単位(例えば1024ビット=128バイト)となっている。これはフラッシュメモリが従来のEEPROMよりもセル面積を縮小するために一括消去方法を採用しているためである。従って、更に小さい消去単位を必要とする場合にはフラッシュメモリとEEPROMの両不揮発性半導体メモリを搭載する必要があった。一般にワードラインの小分割化は、読出し速度への影響が小さく面積増大となるので行われないが、拡散層で形成されるビットラインの小分割化は、拡散容量低減による読出し速度向上が著しいため行われる。従って、ワードライン単位の消去よりもビットライン単位の消去の方が、より小単位で消去が可能となる。最小の消去単位としては、バイト(8ビット)単位が好ましく、小分割されたビットライン単位の消去の場合、数バイト単位の消去が可能となる。

【図面の簡単な説明】

【図1】 従来のNOR型フラッシュメモリのメモリアレイ構成の1ブロックを示す回路図である。

【図2】 従来のスプリットゲート型フラッシュメモリのメモリアレイ構成の1ブロックを示す回路図である。

【図3】 各種消去方法におけるビットライン電圧と制御ゲート電圧を示す図である。

【図4】 制御ゲートに負電圧を印加したときの非選択

メモリセルのしきい値電圧の変化(ゲートディスタープ)を制御ゲート電圧をパラメータとして示す図である。

【図5】 ドレイン電圧6.5(V)で消去を行った場合の消去特性の制御ゲート電圧 V_{cg} 依存性を示す図である。

【図6】 制御ゲート電圧を一定にし、書込み後のしきい値電圧をパラメータとしてゲートディスタープを示す図である。

【図7】 トンネル酸化膜の電界緩和用電圧を印加した場合のゲートディスタープ特性を示す図である。

【図8】 本発明を仮想接地方式のスタックゲート型フラッシュメモリに適用した一実施例のメモリアレイの1ブロックを示す回路図である。

【図9】 本発明をスプリットゲート型フラッシュメモリに適用した一実施例のメモリアレイの2つのブロックを示す回路図である。

【図10】 本発明をスプリットゲート型フラッシュメモリに適用した他の実施例のメモリアレイの1つのブロックを示す回路図である。

【図11】 本発明をスプリットゲート型フラッシュメモリに適用したさらに他の実施例のメモリアレイの1つのブロックを示す回路図である。

【符号の説明】

32 浮遊ゲート

34 制御ゲート

36 選択ゲート

BS ブロック選択信号

C11~Cmn メモリセル

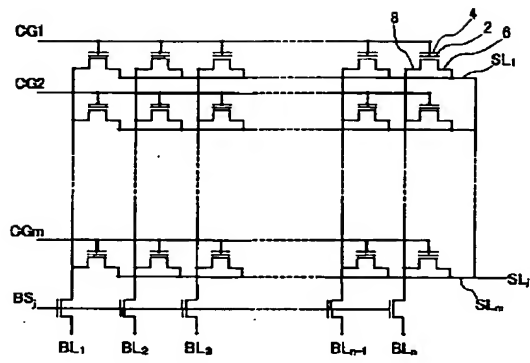
CG 制御ゲートライン

DBL ドレインビットライン

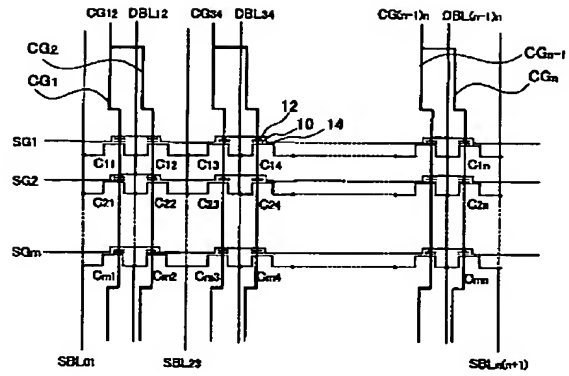
SBL ソースビットライン

SG 制御ゲートライン

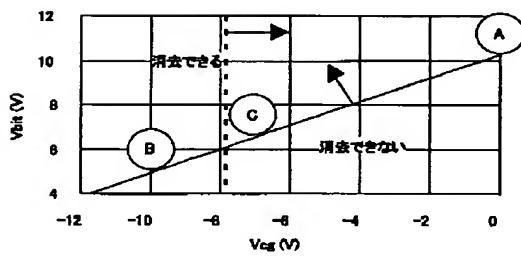
【図1】



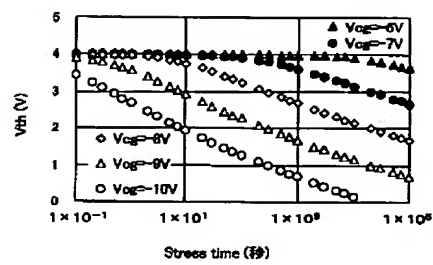
【図2】



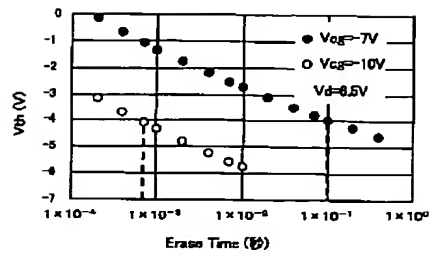
【図3】



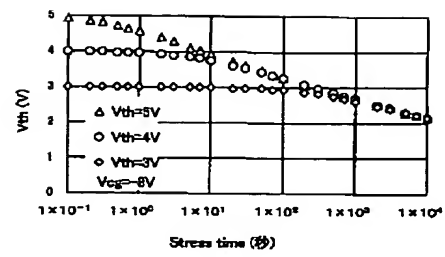
【図4】



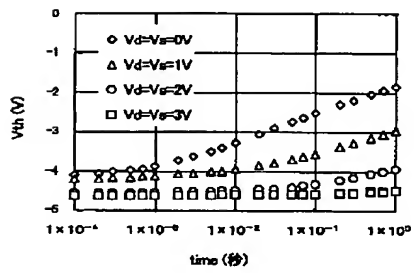
【図5】



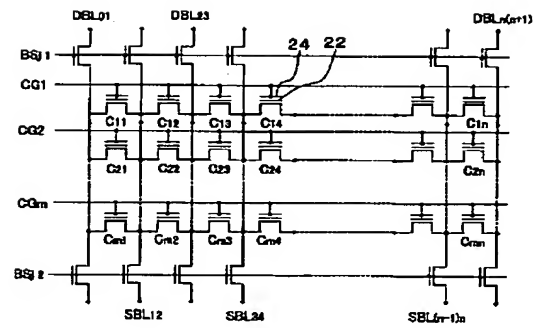
【図6】



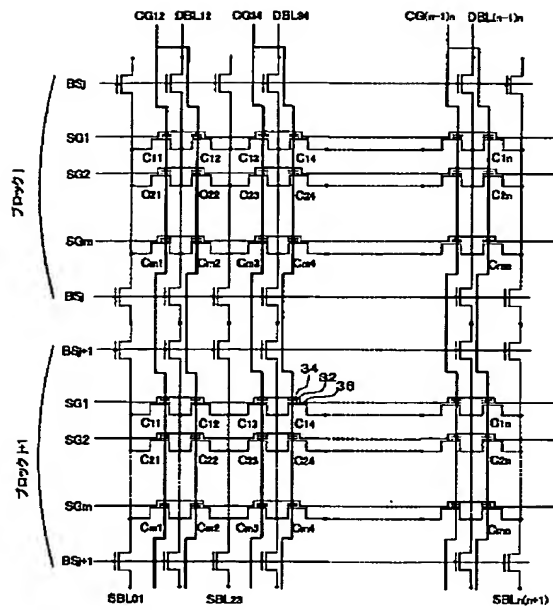
【図7】



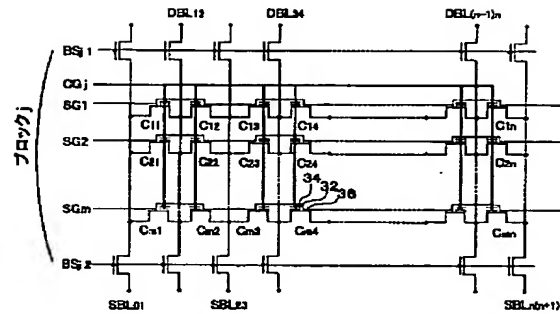
【図8】



【図9】



【図10】



【図11】

